

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-160452
(43)Date of publication of application : 13.12.1980

(51)Int.CI. H01L 27/01
H01C 17/06
H01L 27/13

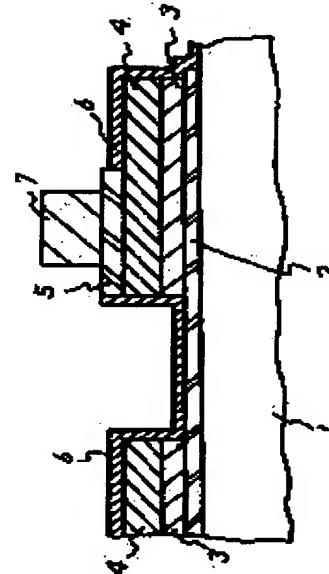
(21)Application number : 54-069090 (71)Applicant : NEC CORP
(22)Date of filing : 01.06.1979 (72)Inventor : NAKAMURA TAKAHARU

(54) HYBRID INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To obtain a thin film IC having preferable junction, inexpensive cost and high reliability by coating noble metal on the connecting region with thin film conductor formed of base metal and coating the other portion with insulating film.

CONSTITUTION: A Ti3N thin film 3 as a resistor, a Cr thin film 3 as an adhesive metal and a Cu thin film 4 as a base metal are sequentially coated on an alumina substrate 1, non-circuit portion is removed, and a circuit pattern is formed. A glass film 6 is superposed on the pattern, an Au thin film 5 is formed as noble metal having preferable junction on the Cu film 4 at the circuit connecting portion, and a semiconductor chip 7 is mounted thereon. According to this configuration, the Cu thin film and the resistor film are coated with glass and Au film to almost prevent corrosion and oxidation and to reduce the Au amount used.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP) ⑪ 特許出願公開
⑩ 公開特許公報 (A) 昭55—160452

⑤Int. Cl.³
H 01 L 27/01
H 01 C 17/06
H 01 L 27/13

識別記号 庁内整理番号
6426—5F
6240—5E
6819—5F

⑪公開 昭和55年(1980)12月13日
発明の数 1
審査請求 未請求

(全 3 頁)

④混成集積回路

②特 願 昭54—69090
②出 願 昭54(1979)6月1日
②発明者 中村隆治

東京都港区芝五丁目33番1号
本電気株式会社内
②出願人 日本電気株式会社
東京都港区芝5丁目33番1号
②代理人 弁理士 内原晋

明細書

1. 発明の名称

混成集積回路

理鉄刻により非回路部分を除去する、統いて前記薄膜回路基板上にトランジスタ、ダイオード、コンデンサ等の外付部品を取付固定して薄膜集積回路を完成する。

2. 特許請求の範囲

絶縁性基板上に形成された抵抗体、導体等の薄膜回路を備えた混成集積回路において、前記導体が車金属から成り、前記導体上の接続領域に貴金属が被覆され、前記導体上の残の領域には絶縁被膜が被覆された薄膜回路基板を備えていることを特徴とする混成集積回路。

3. 発明の詳細な説明

本発明は特に導体が車金属から成る薄膜回路基板を備えた薄膜集積回路に関するものである。

絶縁性基板例えばアルミナ基板上に薄膜回路を形成する場合、抵抗体金属として窒化タンタルを導体金属薄膜としてアルミニウム、銅、金、等をそれぞれ使用し順次堆積する。次に化学または物

しかし導体導膜としてアルミニウム、銅、等を使用した場合は導体導膜の表面が腐食されやすく加熱すると酸化されやすい。このような導体導膜を使用した薄膜基板を加熱してペレットマウントやワイヤーボンディングをすれば、導体導膜の表面が酸化され、ペレットやボンディングワイヤが導体導膜と付かなかったり、たとえ付いても密着性が悪く、剥れやすいためにペレットマウントやワイヤーボンディングを要する薄膜集積回路基板の導体導膜としては上述のような酸化されやすいアルミニウムや銅などを用いず、腐食されずボンディング性のよい金の如き貴金属が用いられるのが一般的であった。

導体導膜として金のような貴金属を用いたとき貴金属の厚さはペレットのマウント性、ボンディング性のみからではなく回路特性からも決められる

ければならず時として非常に厚く付けることも要請され、そのため黄金属を用いた導体架橋回路は必然的に高価になるという欠点があった。

導体薄膜回路に用いた貴金属の量を減すため導体薄膜をアルミニウム、銅等を使用し、その上に酸化を防止し、マウント、ポンディング性を良好にする目的で薄く金等の貴金属を被覆するといった導体層を多層にする場合がある。

しかしこの場合も貴金属を導体回路全体に被覆しているためやはり、高価な薄膜焼接回路となる欠点があった。

本発明は上述の欠点を除去するかまたは、軽減するため改善された導線回路を提供するものである。

即ち本発明の薄膜集積回路は、絶縁性基板上に形成された抵抗体、導体等の薄膜回路において前記導体が半金属から成り、前記導体上の所望の領域に貴金属が被着され、前記導体の残の領域には絶縁被膜が被着された薄膜回路基板を備えていることを特徴とする。

- 3 -

よりおおわれているので導体回路パターンの導体部腐食や薄膜回路基板加熱による軟化がはとんどなくなり、したがって作業時の強化防止の工夫もある程度達成でき、また金の使用量も導体回路の一部にしか使用しないので少なくて済み、コスト的にも安価で信頼性もよい薄膜表面回路を得ることができその効果も著しい。

本実施例では埠金或導体を複い、保護している
絕縁板膜としてガラスを用いているがポリイミド
の如き有機絕縁体板膜であってもその他のいかなる
絕縁板膜であっても良く、また埠金或、真金或
導体としては、それぞれ銅、金以外の他の材料で
あっても本発明の主旨は変らない。

4. 図面の簡単な説明

第1図(回1)は、本発明の薄膜回路基板を用いた薄膜回路の正面図、断面図である。

1 ……被覆性アルミニウム板、2 ……抵抗性薄膜（
（誘化タンタル薄膜）、3 ……接着性金属薄膜（
クロム薄膜）、4 ……半金属導体薄膜（銅薄膜）

- 5 -

特開昭55-160452(2)
以下にこの発明の詳細を実施例を挙げて具体的
に説明する。

第1図(b)は本発明の導体架橋回路の実施例で
その正面図、断面図である。

5 アルミナ基板1上に抵抗体として塗化タンタル
薄膜2を、接着性金属としてクロム薄膜3を、導
体として卑金属、銅薄膜4を順次堆積し非回路部
分を除去してアルミナ基板1上に薄膜回路パターンを形成する。つづいて薄膜回路パターン上に絕
縁被膜としてガラス膜6を堆積し、リード端子接
続用導体電極または外付部品を搭載したり、接続
する電極となる導体領域上のガラス膜6の露裏に
窓を設け次に窓の部分に塗化されにくく、ペレット
トマウント性、ポンティング性の良い貴金属として
金薄膜5を付着する。この金薄膜5上に外付部品
としてトランジスタ等の半導体チップ7をマウント、
ポンティングし、その他の電気部品およびリード
端子を接続して薄膜回路を完成する。

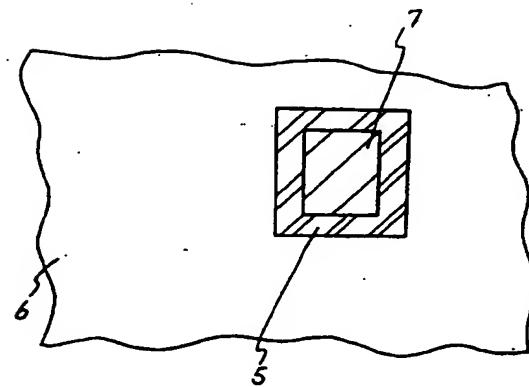
20 本実験例によれば単金属導体導線、銅4号より
抵抗体導線2号は、ガラス被膜6号より金被膜5号

- 1 -

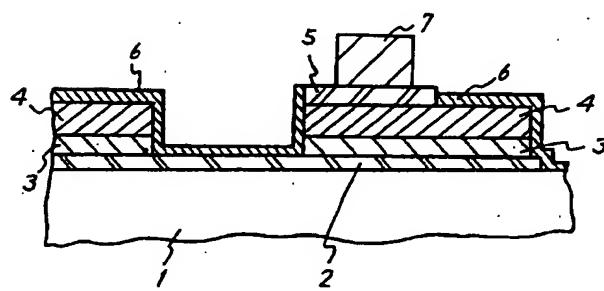
5 ……酸化防止用貴金属導体薄膜（金薄膜）、6
… …酸化防止用絶縁膜（ガラス導膜）、7 ……半
導体チップ

代理人弁理士内原晋

10



第1図 (a)



第1図 (b)